

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年 7 月 7 日 (07.07.2005)

PCT

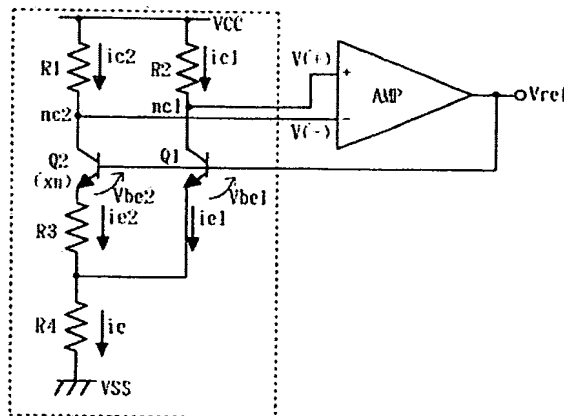
(10) 国際公開番号  
WO 2005/062150 A1

- (51) 国際特許分類<sup>7</sup>: G05F 3/30 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2004/017910 (75) 発明者/出願人 (米国についてのみ): 福田 恵子 (FUKUDA, Keiko) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 平木 充 (HIRAKI, Mitsuru) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 堀口 真志 (HORIGUCHI, Masashi) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 秋葉 武定 (AKIBA, Takesada) [JP/JP]; 〒0668511 北海道千歳市泉沢 1007 番地 39 株式会社ルネサス北日本セミコンダクタ内 Hokkaido (JP). 市来 周蔵 (ICHIKI, Shuzo) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 角田 英樹 (TSUNODA, Hideki) [JP/JP]; 〒1006334 東京都千代田
- (22) 国際出願日: 2004 年 12 月 2 日 (02.12.2004)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願 2003-426796  
2003 年 12 月 24 日 (24.12.2003) JP  
(71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP).

/続葉有/

(54) Title: VOLTAGE GENERATING CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 電圧発生回路と半導体集積回路装置



A バンドギャップ発生部

A. BAND GAP GENERATING PART

(57) Abstract: A first current flows through the emitter of a first transistor, while a second current, which exhibits a larger current density than the first current, flows through the emitter of a second transistor. The base-to-emitter voltage difference between the first and second transistors is applied across a first resistor, thereby providing a constant current. A second resistor is disposed at the ground potential side of the circuit and connected in series with the first resistor. Third and fourth resistors are disposed between the respective collectors of the first and second transistors and the power supply voltage. The collector voltages of the first and second transistors are applied to a CMOS differential amplifier circuit, thereby providing an output voltage. This output voltage is applied commonly to the bases of the first and second transistors.

(57) 要約: 第 1 電流がエミッタに流れるようにされた第 1 トランジスタと、上記第 1 トランジスタよりも大きな電流密度となるような第 2 電流がエミッタに流れるようにされた第 2 トランジスタとのベース、エミッタ間の電圧差を第 1 抵抗に流して定電流を形成し、それと直列にして第 2 抵抗を回路の接地電位側に設け、上記第 1 トランジスタと第 2 トランジスタのコレクタと電源電圧との間に第 3 抵抗

/続葉有/



区丸の内二丁目4番1号 株式会社ルネサステクノ  
ロジ内 Tokyo (JP). 北川 明弘 (KITAGAWA, Akihiro)  
[JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番  
1号 株式会社ルネサステクノロジ内 Tokyo (JP).

(74) 代理人: 徳若 光政 (TOKUWAKA, Kousei); 〒1810001  
東京都三鷹市井の頭5丁目1番8号 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が  
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,  
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,  
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,  
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,  
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,  
NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,  
SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護  
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,  
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,  
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,  
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,  
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),  
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,  
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

と第4抵抗とを設け、上記第1と第2トランジスタの両コレクタ電圧とCMOS構成の差動増幅回路に供給して、  
出力出力電圧を形成するとともに、かかる出力電圧を上記第1トランジスタと第2トランジスタのベースに共通に  
供給する。